

Kullanıma Hazır Bileşenlerle İğnecikli Sinir Ağında XOR Çözülmesi

Solving XOR in Spike Neural Network (SNN) with Component-off-the-Shelf

Sevde Vuslat Çıkıkcı¹, Eren Örek¹, Ali Kağan Özgen¹, Arda Yavuz¹, Tuba Ayhan¹

¹Elektrik Elektronik Mühendisliği
MEF Üniversitesi

cikikcise@mef.edu.tr, oreke@mef.edu.tr, ozgena@mef.edu.tr, yavuzar@mef.edu.tr, ayhant@mef.edu.tr

Özet

Bu çalışma, Moore Yasası'nın sınırlarına yaklaşıldığı günümüzde, enerji verimliliği ve işlem performansını artırmak amacıyla İğnecikli Sinir Ağları (SNN) ile XOR probleminin çözümünü ele almaktadır. SNN, biyolojik nöronların çalışma prensiplerini taklit ederek enerji tasarrufu sağlarken, doğrusal olmayan problemleri çözme yeteneğine sahiptir. Bu amaçla, Leaky Integrate and Fire (LIF) modeli kullanılarak 12 nörondan oluşan bir SNN, devre tahtası üzerinde gerçekleştirilmiştir. Ağın giriş katmanında, frekansa duyarlı filtreler ile 50 Hz ve 100 Hz sinyalleri işlenmiştir. Bant geçiren ve alçak geçiren filtrelerin, toplayıcı ve tersleyici işlemsel kuvvetlendiricilerin yardımıyla XOR problemi başarılı bir şekilde çözülmüştür.

Abstract

This paper addresses the solution of the XOR problem with Spiking Neural Networks (SNN) in order to improve energy efficiency and computational performance as Moore's Law approaches its limits. SNN is capable of solving nonlinear problems while saving energy by mimicking the working principles of biological neurons. For this purpose, a SNN consisting of 12 neurons was implemented on a breadboard using the Leaky Integrate and Fire (LIF) model. In the input layer of the network, 50 Hz and 100 Hz signals are processed with frequency sensitive filters. With the help of bandpass and low-pass filters, additive and inverting operational amplifiers, the XOR problem is successfully solved.

1. Giriş

Günümüzde Moore Yasası'nın sınırlarına yaklaşıldı, çünkü transistörler fiziksel olarak daha fazla küçülememektedir [1]. İşlem performansını artırmak için 3D transistörler [2], NSFET [3], HPC [4] ve SNN (Spiking Neural Networks) [1] gibi farklı mimariler araştırılmaktadır.

3D transistörlerde DFT eksikliği ve soğutma sorunları önemli zorluklar yaratmaktadır [5, 6]. NSFET'in üretim zorluğu ve kendi kendine ısınma sorunu performansı olumsuz etkileyebilir [7]. HPC sistemleri ise yüksek enerji tüketimi (30 MW) ve sık arızalarla karşı karşıyadır [8, 4].

SNN'ler ise enerji verimliliği açısından öne çıkmaktadır. Olay tabanlı hesaplama yöntemiyle SNN'ler yalnızca eşik değeri aşıldığında işlem yapar ve gereksiz enerji tüketimini engeller [9].

Diğer mimarilerdeki ısınma ve enerji sorunlarına kıyasla, SNN bu zorlukları aşarak en uygun seçenek olarak öne çıkmaktadır.

Tüm bunlar neticesinde, matematiksel modellemeler arasında en uygulanabilir olan LIF modeli kullanılarak devre tahtasında SNN gerçekleştirilmiştir. Gerçeklenen SNN ile birlikte doğrusal olmayan XOR problemi çözülmüştür. Gerçeklemenin devre tahtası üzerinde yapılmasının sebebi, literatürde nöron ve sinaps modelleri olmasına rağmen bu modeller diğer ağlara yapılandırıldığı rastlanmamıştır. Bu sebeple, devre tahtası kullanılarak daha az maliyetli bir şekilde SNN gerçekleştirilmiştir.

2. İğnecikli Sinir Ağları

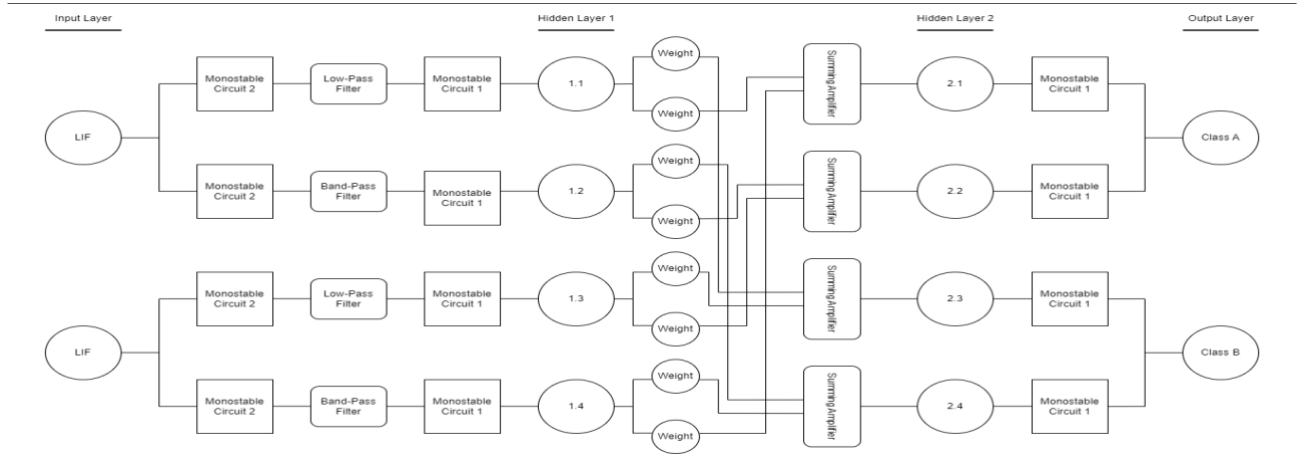
Yıllar içinde yapay sinir ağları, tipik sinirsel transfer fonksiyonu ve nöronun hesaplama birimi temel alınarak üç farklı nesilde geliştirilmiştir [10]. Üçüncü nesil sinir ağları, iğnecikli sinir ağları olarak adlandırılır ve işlevsel olarak gerçek biyolojik nöronlara benzer [10]. Doğal sinir ağlarını yakından taklit eden yapay sinir ağları, SNN olarak bilinmektedir [11].

SNN'ler, nöronal ve sinaptik durumlara ek olarak zamanı da işleyiş modellerine dahil eder [11]. Bu, SNN'deki nöronların her sıçrama döngüsü sonunda bilgi ilettiği anlamına gelir. Nöronun zar potansiyeli eşik değerine ulaştığında bilgi iletimi gerçekleşir.

SNN'ler belirli zamanlarda gerçekleşen ayrık olaylarla çalışır, bir dizi iğneciği (spike) giriş olarak alır ve iğnecik ile çıkış üretir. Genel olarak, bir nöron kritik eşik değerini aşarsa, bir sonraki nörona bir darbe gönderir ve bu nöronun değeri ortalamanın altına düşer. Nöron daha sonra biyolojik bir nörona benzer şekilde bir refrakter dönemden geçer ve zamanla ortalama değerine geri döner. SNN mimarisinde iğnecikli nöronlar ve bağlanan sinapslar ayarlanabilir skaler ağırlıklarla tanımlanır [11].

3. Leaky Integrate and Fire (LIF)

XOR problemini çözmek için oluşturulan SNN sisteminde uygulanacak olan matematiksel nöron modeli biyolojik olarak anlamlı olması, enerji tüketimine ve devrenin karmaşıklığı göz önüne alınarak değerlendirildiğinde LIF matematiksel modelinin diğer matematiksel modellerine kıyasla daha uygun olduğu belirlenmiştir [12]. LIF modeli, biyolojik nöronların



Şekil 2: XOR Problemini Çözmek İçin Kullanılan Sistemin Tüm Devrelerini Gösteren Şema

uygulanmasında yaygın olarak kullanılan bir nöron modelidir [10]. Bu model, Integrate and Fire (IF) nöron modeline benzese de, sızıntı bileşenini de içerir [10].

$$I_{ex} = I_{Leak} + C_m \frac{dv_{mem}}{dt} \quad (1)$$

Denklem 1, LIF nöron modelinin diferansiyel denklemi olup bu denklemde, I_{ex} giriş uyarım akımını, I_{leak} sızıntı akımını ve C_m membran kapasitansını temsil eder. Denklem 1'e göre, LIF nöron modeli birinci dereceden diferansiyel ile ifade edilir ve uyarım ve sızıntı akımları membran potansiyelini kontrol eder [10].

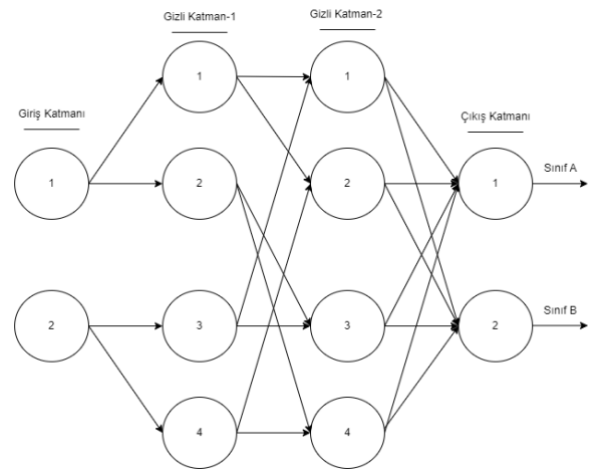
$$I(t) = \sum_{i=1}^N (w_i \sum_k \theta_i(t - t_f)) \quad (2)$$

Denklem 2 giriş akım kaynağı ($I(t)$) için hesaplama denklemini gösterir, LIF'e bağlı sinaps sayısı N olarak gösterilir. Toplanan akım girişini alır ve elde edilen giriş akımını membran potansiyeline (V_m) dönüştürür. Daha sonra yeni değeri eşik gerilimi (V_{th}) ile karşılaştırır. Membran potansiyeli eşik değerini aştığında, nöron değeri sıfırlanır ve üretilecek yeni iğnecik için hazırlanır.

4. XOR Sistemi

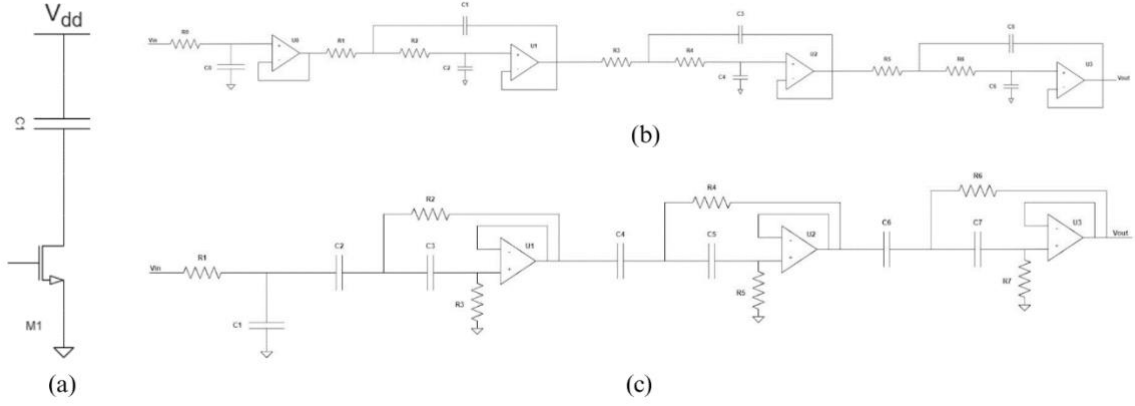
XOR işlemi gibi doğrusal olmayan bir hesaplamayı gerçekleştirebilen bir İğnecikli Sinir Ağı modellenerek oluşturulmuştur. Bu amaçla, Şekil 1'de gösterilen sistem uygulanmıştır. Şekil 1'deki nöron sembolleri, Şekil 3'teki devre gerçekleştirilmiş ve nöronlar arasındaki çizgiler sinapsları temsil etmektedir.

Sinapslar bir sonraki nöronu tetiklemek için önceki nöronun çıkışından elde edilen sinyali güçlendirir. Sinaps modellemesi için toplama devresi, negatif işlem kuvvetlendirici ve tümlev alıcı devresine ek olarak doğru bir değerlendirme için tek kararlı devre, alçak geçiren filtre ve bant geçiren filtre kullanılır. Amaç, Şekil 1'de gösterilen SNN sistemini kullanılarak 12 LIF nöronu ile XOR problemini devre tahtası (breadboard) üzerinde çözmektir. Bu ağdaki katmanlar, Giriş Katmanı, Gizli Katmanlar ve Çıkış Katmanı olarak tasarlanacaktır. Giriş Katmanında, lojik 0 ve lojik 1, giriş değerlerinin frekansları sırasıyla 50Hz ve 100Hz olarak tanımlanmıştır [13].



Şekil 1: XOR problemini çözmek için SNN Ağ Algoritması [13]

Giriş katmanındaki ilk nöron, 1.1 ve 1.2 nöronlarına, ikinci nöron ise 1.3 ve 1.4 nöronlarına bağlantılıdır. İlk katmandaki bu nöronlar, gelen sinyalin frekansına göre hangi nöronların tetikleneceğini belirler. 1.1 ve 1.3 nöronlarına yapılan bağlantılar, yalnızca 100Hz frekansını geçiren bir bant geçiren filtre kullanır, bu nedenle bu nöronlar yalnızca 100Hz'de ateşlenir. 1.2 ve 1.4 nöronlarına yapılan bağlantılar ise alçak geçiren filtre ile yapılmıştır, bu sayede bu nöronlar yalnızca 50Hz giriş geldiğinde tetiklenir. Frekanslara göre ayrılmış sinyaller ikinci katmana iletilir. 2.2 ve 2.3 nöronları Class A çıkışı üretirken, 2.1 ve 2.4 nöronları Class B çıkışı sağlar. Bağlantılar, önceki nöronların çıktılarıyla belirli katsayılarla çarpılıp toplama devresi ile XOR probleminin çözülmesini sağlamaktadır. Şekil 2'de sistemi çözmek için gerekli olan katmanlar, aralarındaki devreleri ve bağlantıları gösterilmektedir.

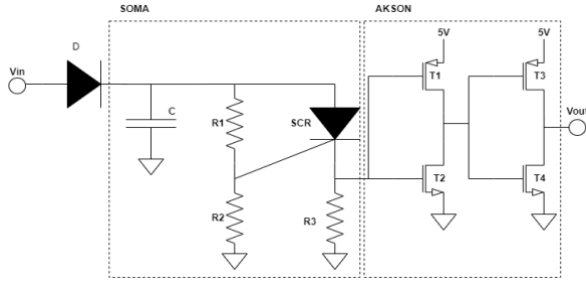


Şekil 4: (a) Kondansatör ve NMOS'tan oluşan Tümler Alıcı Devresi (b) Alçak Geçiren İkinci Dereceden Üç Katmanlı Sallen Key ve RC Tamponlu Filtrenin Devresi (c) Tamponlu RC ve Üç Katmanlı Sallen Key Bant Geçiren Filtresi

5. Devre Tasarım

5.1. LIF

Şekil 3, sistemde kullanılan hücre modelinin devresidir. Devrede bulunan kondansatör hücre zarını temsil ederken, R_1 , R_2 ve C elemanları devrenin sızıntı süresini belirler. Refraktör süre ise R_3 ve C elemanlarına bağlı olup, devrenin sinyal üretme sıklığını, Silikon Kontrollü Doğrultucu (SCR) komponentinin açık kaldığı süreyi ve anahtarlama işlevini kontrol eder [14].



Şekil 3: Devre tahtası üzerinde uygulanan LIF modelinin devre şeması [14].

Akson kısmında bulunan NMOS ve PMOS transistör çiftleri, somadan gelen sinyali güçlendirerek ağı kayıplardan korur [14].

Şekil 3'te bulunan devrede D 1N4148, SCR CR02, C 15nF, R_1 68k Ω , R_2 390k Ω , R_3 1.5k Ω , işaret evirici için CD4007 modeli kullanılmıştır.

5.2. Tümler Alıcı Devre

XOR çözen sistemin çıkışı giriş işaretlerinin frekansına bağlıdır. 100Hz frekansındaki giriş lojik 1 temsil edecek şekilde 3mV'a ve 50Hz frekansındaki giriş lojik 0'ı temsilen 2.5mV'a tümler alıcı devre ile dönüştürülür. Şekil 4a'da verilen tümler alıcının çıkış akımı

$$I_{\text{integratör}}(t) = I_{LIF}(-\exp^{-t/\tau_r} + \exp^{-t/\tau_d})/\alpha_{\text{scale}} \quad (3)$$

ile verilir. I_{LIF} , LIF devresinin çıkış akımını, τ_d ve τ_r , tümler alıcı devresi akımının yükselme ve düşme zaman sabitlerini kontrol eder. Bu devrede zaman sabiti, C_1 ve M_1 'in giriş gerilimine bağlıdır. α_{scale} akımın tepe değerinin ölçeklendirmek için kullanılır [15].

Şekil 4a'da gösterilen devrede C_1 için 47uF değeri, M_1 için BS170 NMOS modeli kullanılmıştır.

5.3. Alçak Geçiren Filtre ve Bant Geçiren Filtre Devreleri

Bu çalışmada Sallen&Key alçak geçiren filtre, basit tasarımı ve yaygın kullanımı nedeniyle tercih edilmiştir. Filtrenin kesim frekansı

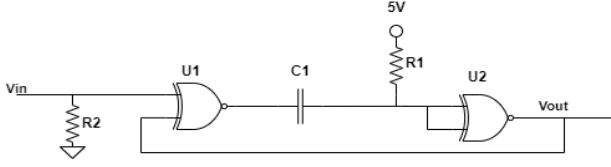
$$f_c = \frac{1}{2\pi\sqrt{R_1C_1R_2C_2}} \quad (4)$$

ile hesaplanır. Şekil 4b ile verilen filtre ağı gelen 50Hz frekansındaki giriş işaretini iletir ve 100 Hz'lik işareti filtreler. 100 Hz'lik işareti iletmek için, alçak geçiren ve yüksek geçiren filtrelerden oluşan bir bant geçiren filtre tasarlanmıştır. Şekil 4c'de verilen devre, bir tamponlu RC ve üç katmanlı ikinci dereceden Sallen&Key yüksek geçiren filtreden oluşmaktadır.

Şekil 4b'deki alçak geçiren filtre için R_0 68k Ω , R_1 300k Ω , R_2 ve R_4 430k Ω , R_3 100k Ω , R_5 110k Ω , R_6 değeri 130k Ω 'dur. Kapasitör için C_0 47nF, C_1 , C_3 ve C_5 33nF, C_2 2.2nF, C_4 4.7nF, C_6 22nF'dır. OPAMP için LMC662 modeli kullanılmıştır. Şekil 4c'deki bant geçiren filtre için R_1 2.2k Ω , R_2 91k Ω , R_3 120k Ω , R_4 43k Ω , R_5 200k Ω , R_6 15k Ω , R_7 ise 750k, C_1 1uF, C_2 ve C_3 10nF, C_4 , C_5 , C_6 ve 15 nF ve OPAMP için LMC662 modeli kullanılmıştır.

5.4. Tek Kararlı Devre

Şekil 5'te verilen tek kararlı devrenin kararlı durumu, lojik 0'dır ve devre, eşik değerini aşır tetiklendiğinde, çıkışta lojik 1 elde edilir.



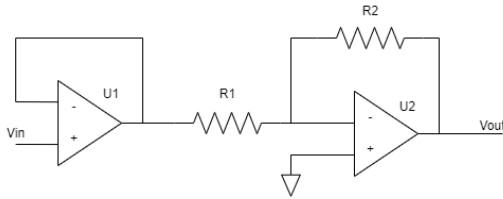
Şekil 5: Sistemde kullanılan Tek Kararlı Devrenin Şematiği

NOR kapısı devrenin kararlılığını sağlarken, R_1C_1 çarpımı zaman sabitini yani devrenin çıkışında elde edilen darbenin genişliğini ayarlar.

Bu devre, sistemde iki farklı yerde kullanılmaktadır. İlki filtrenin girişinde, darbe genişliğini arttırmak içindir çünkü darbe genişliği kısa olan işaret filtrelemek zordur. Zaman sabiti, işaret filtrelenebilir hale gelene kadar arttırılmıştır. Sistemin doğru çalışabilmesi için nöronlara uygulanan giriş darbe genişliklerinin birbirlerine eşit olması gerekmektedir. Giriş darbesinin genişliğinden bağımsız olarak çıkış işaretinin genişliği 3 ms olması sağlanır. İkinci yer filtre çıkışıdır. Nöronların giriş işaretlerinin eşit olmasını sağlamak amacıyla kullanılır ve bu amaçla kullanılan tek kararlı devre devrenin çıkışının genişliği 100 μ s'dir.

Sistemde, darbe genişliğini arttırmak için Şekil 5'te R_2 100k Ω , R_1 300k Ω , C_1 370nF, NOR kapıları için 74HCT02 kullanılmıştır. Nöronların giriş işaretlerinin eşit olması için tek kararlı devrede R_2 100k Ω , R_1 15k Ω , C_1 15nF, NOR kapıları için 74HCT02 modeli kullanılmıştır.

5.5. Negatif İşlemsel Kuvvetlendirici ve Toplama Devresi



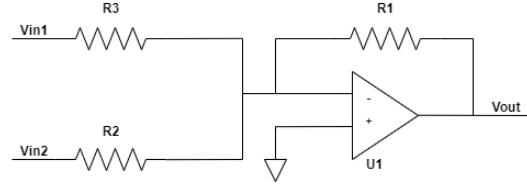
Şekil 6: Negatif İşlemsel Kuvvetlendirici Devrenin Şematiği

Şekil 6'da gösterilen negatif işlemsel kuvvetlendirici çıkışı

$$V_{out} = -\frac{R_2}{R_1} V_{in} \quad (5)$$

ile verilir. Bu devre, nöron girişlerini önceden hesaplanan sinaptik ağırlıklarla çarpar. Tümler alıcının çıkışı 2.5V'a ayarlamak için, nöronlar arasındaki sinaptik ağırlıklara bağlı olarak direnç değerleri seçilir. Birim kuvvetlendirici (unity gain

amplifier), tümler alıcı çıkışının bozulmadan negatif işlemsel kuvvetlendiriciye aktarılmasını sağlar.



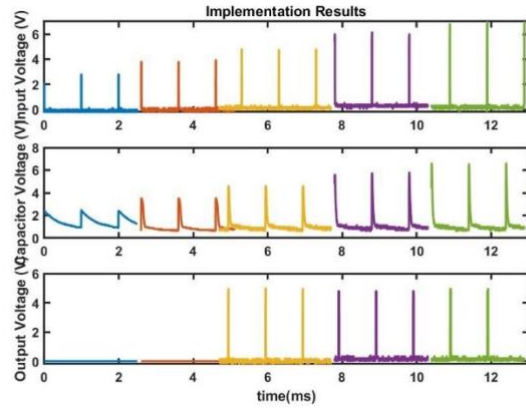
Şekil 7: Sistemde kullanılan Toplama Devresinin Şematiği

Şekil 7, toplayıcı kuvvetlendirici devresini, (6) devre kazancını göstermektedir. Bu devrede, iki farklı nöronun tersleyici işlem yükseltici uygulanması sonucunda elde edilen çıkış gerilimlerini toplamak için kullanılır. Bu toplam devresinin sonucunda elde edilen yeni çıkış değeri bir sonraki nöronun ateşlenip ateşlenmeyeceğine karar verir.

$$-V_{out} = -\frac{R_1}{R_{in}} (V_{in1} + V_{in2}) \quad (6)$$

Sisteme 50Hz giriş uygulandığında, Şekil 6'daki devrenin R_1 değeri 1k Ω , R_2 değeri 209k Ω , U1 için LMC662 OPAMP modeli kullanılmıştır. Sisteme 100 Hz'lik giriş uygulandığında Şekil 6'da R_1 değeri 1k, R_2 değeri 170k Ω , U1 için LMC662 kullanılmıştır. Şekil 7'de R_1 , R_2 ve R_3 değerleri 1k Ω 'dur.

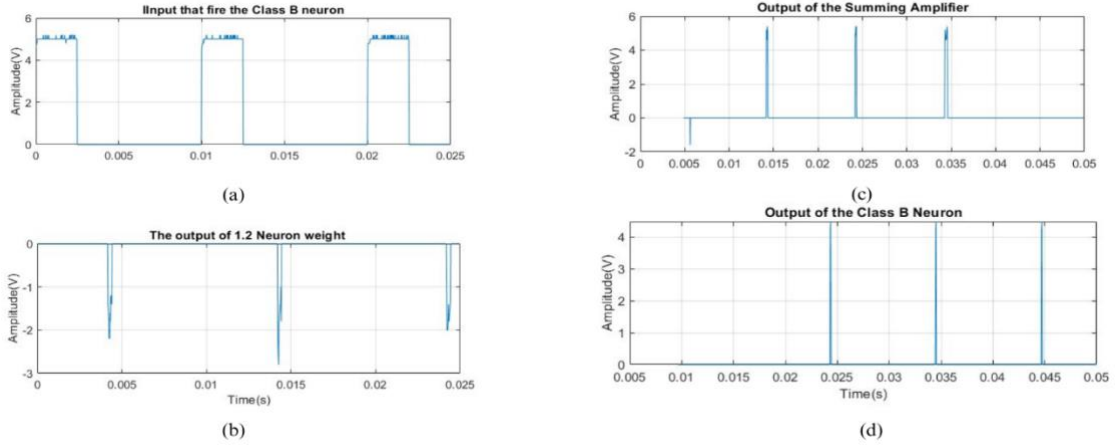
6. Deneysel Sonuçlar



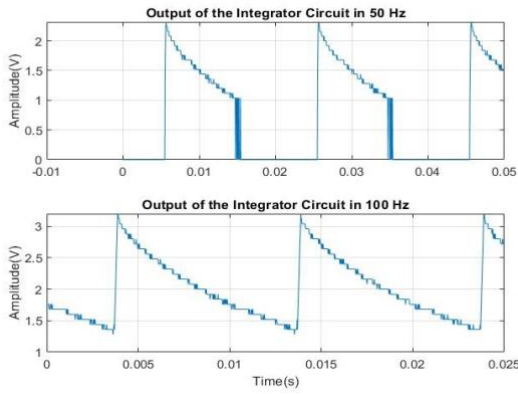
Şekil 8: LIF Devresi Gerçekleme Sonuçları

Şekil 3'te verilen LIF devresi devre tahtası üzerinde kurulmuştur. Şekil 8'de en üstte devrenin giriş işareti, ortada kapasitör üzerindeki gerilim, en altta devrenin çıkış gerilimi görülmektedir. Giriş voltajı 3V'dan 7V'a kadar birer birer artırılarak, 1 kHz frekansında bir darbe dalgası uygulanmıştır. Kapasitörün davranışı, membran gerilimini taklit ettiği ve devre eşik değerini geçtikten sonra iğnecik ürettiği gözlemlenmiştir.

Bölüm 5'te anlatılan devreler, devre tahtası üzerinde birleştirildi ve 100Hz ve 50Hz frekanslı girişler uygulandı. Negatif işlemsel kuvvetlendiricinin çıkışı Şekil 9'da gösterilir. 100Hz frekanslı giriş uygulandığında kuvvetlendirici çıkışı 3V'a ulaştığı, 50 Hz'lik girişin uygulandığında ise çıkış 2.2V'a ulaşmıştır.



Şekil 10: Ateşlenen Class B Nöronunun Çıktıları, (a) BPF ve LPF devrelerinin giriş gerilimi (b) 1.2 nöronunun ağırlık çıkışı (c) 2.4 nöronunun çıkışı (d) Class B nöron çıkışı



Şekil 9: Tümler alıcı devresinin negatif işlem kuvvetlendiriciye uygulanması ile elde edilen 50 ve 100Hz girişlerinin çıktuları

Son olarak, XOR problemini test edildi. Sistemin iki girişine de Lojik 0'ı temsilen Şekil 10a'da verilen 50Hz uygulandı. Birinci katmanın çıkışı 10b'de ikinci katmanın çıkışı 10c'de gösterilmektedir. Şekil 10d'de, çıkış katmanında Class B nöronunun çıkış ürettiği görülmektedir böylece bu girişler altında XOR çıkışının lojik 0 olduğu anlaşılmıştır.

7. Sonuç

Bu projede, SNN ile LIF nöron modeli kullanılarak XOR problemi devre tahtası üzerinde çözülmüştür. Devre tahtası üzerinde çözümlenmesinin sebebi transistör seviyesine göre daha ulaşılabilir. Transistör seviyesine göre maliyetli ve yavaş olmasına rağmen SNN ile doğrusal olmayan sınıflandırma problemlerinin devre tahtası üzerinde çözülebileceği gösterilmiştir. Bu proje temel alınarak gelecekte görüntü işleme gibi daha karmaşık problemlerin çözülmesi hedeflenmektedir.

8. Kaynaklar

[1] S. Kumar, "Fundamental Limits to Moore's Law," 2015.

- [2] S. Valasa, S. Tayal, L. R. Thoutam, J. Ajayan, S. Bhattacharya, "A critical review on performance, reliability, and fabrication challenges in nanosheet FET for future analog/digital IC applications," *Micro and Nanostructures*, vol. 170, p. 207374, 2022
- [3] "November 2020 | TOP500," www.top500.org. Available: <https://www.top500.org/lists/top500/2020/11/>
- [4] P. O. A. Navaux, A. F. Lorenzon, and M. da S. Serpa, "Challenges in High-Performance Computing," *Journal of the Brazilian Computer Society*, vol. 29, no. 1, pp. 51–62, Aug. 2023, <https://sol.sbc.org.br/journals/index.php/jbcs/article/view/2219>.
- [5] H.-H. S. Lee and K. Chakrabarty, "Test Challenges for 3D Integrated Circuits," *IEEE Design & Test of Computers*, vol. 26, no. 5, pp. 26–35, Sep. 2009
- [6] V. Kumar and A. Naeemi, "An overview of 3D integrated circuits," *IEEE Xplore*, May 01, 2017
- [7] Kumar Jaisawal, P. N. Kondekar, and N. Bagga, "Trap and self-heating effect based reliability analysis to reveal early aging effect in nanosheet FET," *Solid-State Electronics*, vol. 200, p. 108546, Feb. 2023
- [8] Ilias Sourikopoulos *et al.*, "A 4-fJ/Spike Artificial Neuron in 65 nm CMOS Technology," *Frontiers in Neuroscience*, vol. 11, Mar. 2017
- [9] M. Pfeiffer and T. Pfeil, "Deep Learning With Spiking Neurons: Opportunities and Challenges," *Frontiers in Neuroscience*, vol. 12, Oct. 2018
- [10] M. Zare, E. Zafarkhah, and N. S. Anzabi-Nezhad, "An area and energy efficient LIF neuron model with spike frequency adaptation mechanism," *Neurocomputing*, vol. 465, pp. 350–358, Nov. 2021,
- [11] V. Lendave, "A Tutorial on Spiking Neural Networks for Beginners," *Analytics India Magazine*, Nov. 13, 2021.
- [12] M. Zare, E. Zafarkhah, and N. S. Anzabi-Nezhad, "An area and energy efficient LIF neuron model with spike frequency adaptation mechanism," *Neurocomputing*, vol. 465, pp. 350–358, Nov. 2021
- [13] J. Wade, L. McDaid, J. Santos, and H. Sayers, "A Biologically Inspired Training Algorithm for Spiking Neural Networks," *Irish Signals and Systems Conf*, pp. 7–12, Sep. 2007.
- [14] M. J. Rozenberg, O. Schneegans, and P. Stolar, "An ultra-compact leaky-integrate-and-fire model for building spiking neural networks," *Scientific Reports*, vol. 9, no. 1, Jul. 2019
- [15] A. Gautam and T. Kohno, "An Adaptive STDP Learning Rule for Neuromorphic Systems," *Frontiers in Neuroscience*, vol. 15, Sep. 2021

Teşekkür

Bu proje TÜBİTAK 2209-A kapsamında desteklenmiştir.